

JP 01-115162

303.356us1

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02817562 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 01-115162 [J P 1115162 A]

PUBLISHED: May 08, 1989 (19890508)

INVENTOR(s): HIRAO TAKASHI

SETSUNE KENTARO

YOSHIDA TETSUHISA

KAMATA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-271865 [JP 87271865]

FILED: October 29, 1987 (19871029)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August 09, 1989 (19890809)

ABSTRACT

PURPOSE: To reduce any leakage current while improving the heat resistance by a method wherein the optical forbidden band width (E_g) of an amorphous semiconductor is specified to exceed 1.9 eV i.e. $E_g >= 1.9$ eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate insulating film 3, an amorphous silicon carbide or amorphous silicon nitride layer 4 of $E_g >= 1.9$ eV and a passivation insulating film 5 are successively formed on a glass substrate 1. Next, the overall surface is coated with a light sensitive resin film 6 and then the film 6 is exposed by rear side exposure process from the rear side of the glass substrate 1 to leave the same pattern as that of the gate electrode 2 for removing the passivation film 5 using the pattern as a mask. Finally, III or V group ion is implanted using the passivation film 5 as a mask to form a source/drain region. Through these procedures, any leakage current can be reduced while improving the heat resistance.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-115162

⑬ Int.CI.

H 01 L 29/78
27/12

識別記号

311

序内整理番号

Z-7925-5F
7514-5F

⑭ 公開 平成1年(1989)5月8日

審査請求 未請求 発明の数 2 (全3頁)

⑮ 発明の名称 薄膜トランジスタ及びその製造方法

⑯ 特 願 昭62-271865

⑰ 出 願 昭62(1987)10月29日

⑱ 発明者	平 尾 幸	大阪府門真市大字門真1005番地	松下電器産業株式会社内
⑲ 発明者	瀬 恒 譲 太郎	大阪府門真市大字門真1005番地	松下電器産業株式会社内
⑳ 発明者	吉 田 哲 久	大阪府門真市大字門真1005番地	松下電器産業株式会社内
㉑ 発明者	鎌 田 健	大阪府門真市大字門真1005番地	松下電器産業株式会社内
㉒ 出願人	松下電器産業株式会社	大阪府門真市大字門真1005番地	松下電器産業株式会社内
㉓ 代理人	弁理士 星野 恒司	外1名	

明細書

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) シリコンを一主要な構成元素とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的焼止帯幅 (E_g) が $E_g = 1.9 \text{ eV}$ 以上であることを特徴とする薄膜トランジスタ。

(2) 上記非晶質半導体材料がアモルファスシリコンカーバイト、アモルファスシリコンナイトライドのいずれかである事を特徴とする特許請求の範囲第(1)項に記載の薄膜トランジスタ。

(3) ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁膜、 $E_g \geq 1.9 \text{ eV}$ の非晶質半導体膜、パッシベーション絶縁膜を順次形成する工程と、しかる後露光抵抗膜被覆を施した後、前記ガラス基板裏面からの背面露光法で、前記露光性樹脂被膜を露光し、

ゲート電極と同一パターンを残存される工程と、このパターンをマスクとして前記パッシベーション膜を除去する工程と、前記パッシベーション膜をマスクとして、重能成いはV重イオンを導入し、ソース・ドレイン領域を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(発明の利用分野)

本発明は液晶テレビ用薄膜トランジスタアレイ等に利用される薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

従来液晶テレビ用の薄膜トランジスタとして川いられているものとしてはアモルファスシリコンを用いたものが代表的である。第2図に本発明と対比すべき従来の電子構造を示してある。N+Crをゲート電極12とする逆スタガ構造の薄膜トランジスタの断面図である。11はガラス基板で、13は+ - SiN : H (水素化アモルファスシリコンナイトライド)、14La-Si:H (水素化アモルファ

特開平1-115162 (2)

シリコン) 間でこれらはプラズマCVD法を用いて連続的に成長させている。15はオーミックコントクト用のn+e-Si: Ti膜で、16はTi/NiCr電極である。ソース・ドレイン電極となる15、16は前記背面露出を用いている。

(発明が解決しようとする問題点)

前記の従来の技術において、背面露出法を用いて自己整合的にソース・ドレインを形成するとき、光は前記アモルファスシリコン-e-Si: 14を通過してその上部の感光性樹脂被膜を曝光する必要がある。

しかし、通常アモルファスシリコン-e-Siの光学的禁止帯幅は1.7~1.8eVであるから、通常用いられている露光装置の光波で感光性樹脂被膜を曝光されるためには最短間の露光が必要でスループットが極めて悪い。このため-e-Si: 14の厚さを100~200nmの如く薄くしてできるだけ通過する光量を多くするようにしている。しかし、あまり薄くするとV_Dやドレイン電流の導通性等に問題がでてくる。

ーション膜をマスクとして、露出部あるいはV_Dイオンを導入し、ソース・ドレイン領域を形成する工程とを有する方法である。

(作用)

ゲート電極をマスクとする背面露出でゲート電極と自己整合的にソース及びドレインを形成するためには表面の感光性樹脂被膜に十分光が届く必要がある。光の透過を妨げるものはアモルファスシリコン-e-Siによる光吸収である。従って、本発明は、光学的禁止帯幅1.9eV以上の半導体すなわちアモルファスシリコン-e-Si自体の光学的禁止帯幅を大きくするか光学的禁止帯幅の大きい材料であるアモルファスシリコンナイトライド-e-SiC或いはアモルファスシリコンナイトライド-e-Si: Nのいずれかを用いる。本発明によれば、背面露出により、ゲート電極とソース・ドレインを自己整合で端端に形成でき、属性値な薄型トランジスタを得ることが可能となる。

(実施例)

活性層としてSiCを用いた場合について説明

本発明は上記問題点を解決するためのもので、ソース・ドレイン間のリード電線の仕様あるいは耐熱性向上等のための手段、構造を有する薄型トランジスタ及びその製造方法を提供することを目的とするものである。

(問題点を解決するための手段)

本発明は、上記目的を達成するために、シリコンを一主要な構成元素とし、非晶質半導体を活性層とする薄型トランジスタにおいて、前記半導体の光学的禁止帯幅(Eg)がEg=1.9eV以上とするものである。

また、本発明の製造方法は、ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁膜、Eg=1.9eVの非晶質半導体層、バッシベーション絶縁層を順次形成する工程と、かかる後感光性樹脂被膜を塗布した後、前記ガラス基板裏面からの背面露出法で、前記感光性樹脂被膜を曝光し、ゲート電極と同一パターンを残存される工程と、このパターンをマスクとして前記バッシベーション膜を除去する工程と、前記バッシベ

する。第1図Aにおいて1はガラス基板、2はゲートとなるCr電極である。ゲート電極2を選択形成後、例えばプラズマCVD法でゲート絶縁膜となるシリコン酸化(シリコンナイトライド、SiN)膜3を2000Å、絶縁膜となる-e-SiC(アモルファスシリコンカーバイド)膜4を800Å及びバッシベーション膜となるシリコン酸化膜(Si)5を3000Å遮蔽的に形成する。光学的禁止帯幅Egが1.9eV以上であり絶縁膜となるSiC薄膜はプラズマCVD法又はPECVD法で、例えばSiH₄とCH₄用いて形成することができる。しかる後、全面に感光性樹脂被膜6を全面に塗布した後、ガラス裏面側から、前記ゲート電極2をマスクとして光6を用いて前記被膜6を曝光し、第1図Bに示すように前記ゲート電極2と同一形状に前記被膜6のパターン6_aを残存させた後(第1図B)、被膜パターン6_aをマスクとしてバッシベーション膜5を選択的に除去して図5のパターン6_bを形成する(第1図C)。しかる後、被膜パターン6_bを除去後、残存するバッシベーション

特開平1-115162(3)

図バターン5aをマスクとしてイオンシャワードーピング法によりリンPを導入し、ソース・ドレイン部と高濃度領域16, 17を形成した後、第1図Eに示すごとくアモルファスシリコンカーバイドa-SiCの島嶼域を形成する。その後、例えばアルミニウムを蒸着し、ソース・ドレイン領域等の電極18, 19を形成する事により溝子が完成する。なお、オーミック性を改善するため、第1図Gは第1回Dのち、P-CVD法でa-SiC膜を形成してもよい。また、アモルファスシリコンカーバイドa-SiC膜4の代わりに、アセロラフチドa-SiNを用いてもよく、あるいはアモルファスシリコンa-Siの光学的禁止帯幅高めててもよい。

(発明の効果)

本発明の製造トランジスタによれば、背面研磨にて確実にソース・ドレインを形成することができ、ゲート領域と同じ形状のパッシベーション膜を残存し、それをマスクとしてアモルファスシリコンカーバイドa-SiC等の非晶質膜に不純物を

導入することができるため、ゲート電極とソース・ドレイン電極との間なりによる寄生容量による遮蔽効果を除外ができる。

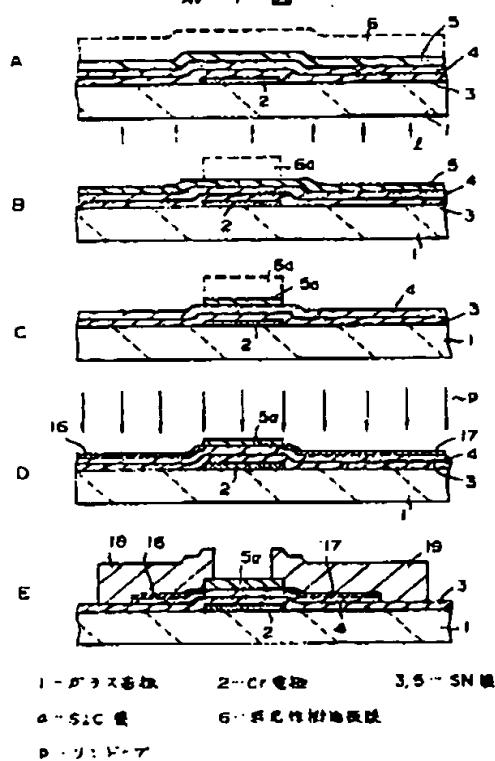
又本発明の製造方法によれば、背面研磨が工場に容易に用いられるため、工程数の簡略化にもつながるだけでなく、光学的禁止帯幅が大きく半導体膜を用いるため、リーク電流の減少、高温下での耐熱性、更にアモルファスシリコンカーバイドa-SiCにおいて特に島嶼度の向上等が可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例における種々トランジスタの製造プロセス断面図、第2図は従来の自己整合型a-Siトランジスタの断面図である。

- 1 … ガラス基板、2 … ゲート電極(Cr電極)、3 … ゲート絶縁膜、4 … a-SiC膜、5 … パッシベーション膜、6 … 感光性樹脂被膜。

第1図



第2図

